

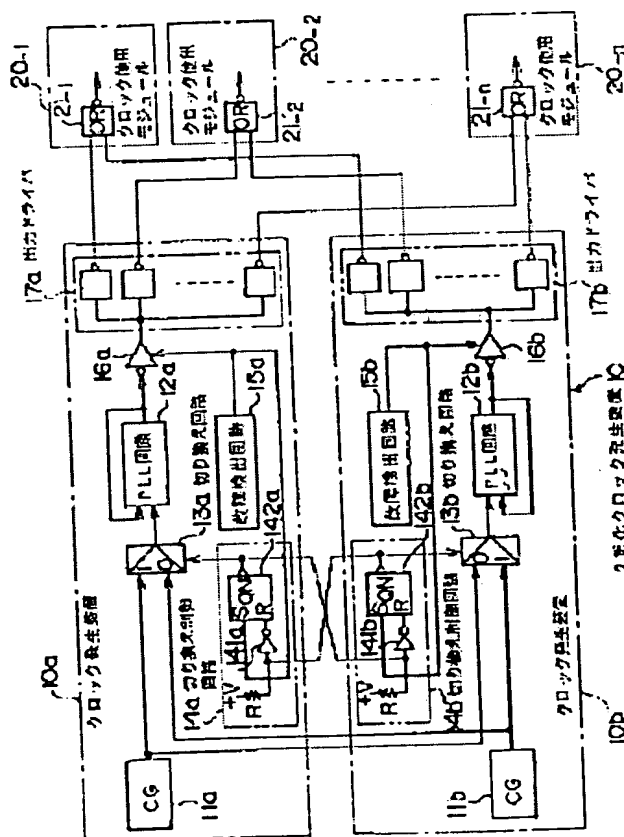
# CLOCK REDUNDANCY PROCESSING SYSTEM

Patent number: JP6232739  
 Publication date: 1994-08-19  
 Inventor: ANZAI KATSUMI  
 Applicant: TOSHIBA CORP  
 Classification:  
 - international: H03L7/00; G06F1/04  
 - european:  
 Application number: JP19930018587 19930205  
 Priority number(s):

## Abstract of JP6232739

**PURPOSE:** To guarantee the normal operation of a module using a clock by preventing the disturbance of the clock caused when any of clocks in duplicate is switched.

**CONSTITUTION:** Changeover control circuits 14a, 14b built in clock generators 10a, 10b being components of a duplicate clock generator 10 control normally changeover circuits 13a, 13b to switch the output of a clock generator (CG) 11a to an input to PLL circuits 12a, 12b. Thus, the clock synchronized with the output of the CG 11a is outputted from the PLL circuits 12a, 12b and the output is controlled by output gates 16a, 16b. When the fault of the clock generator 10a is detected by a fault detection circuit 15a, the output gate 16a of the faulty system stops the clock output and the changeover control circuits 14a, 14b control the changeover circuits 13a, 13b to select the output of a clock generator (CG) 11b to an input to PLL circuits 12a, 12b.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-232739

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/00	C	8730-5 J		
G 0 6 F 1/04	3 0 3 A	7165-5 B		
	B	7165-5 B		

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21)出願番号 特願平5-18587

(22)出願日 平成5年(1993)2月5日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 安西 勝美

東京都府中市東芝町1番地 株式会社東芝

府中工場内

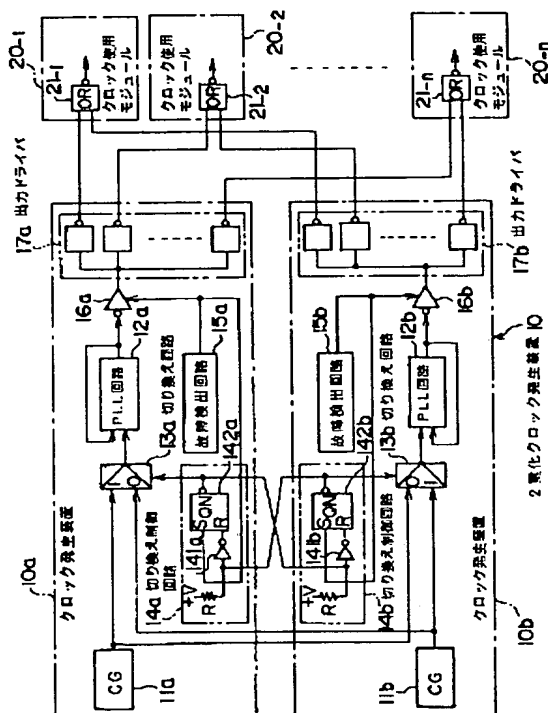
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 クロック冗長化方式

(57)【要約】

【目的】 2重化のクロックの切り換え時に発生するクロックの乱れを防ぎ、クロックを使用するモジュールでの正常な動作が保証できるようにする。

【構成】 2重化クロック発生装置10を構成するクロック発生装置10a、10bに内蔵の切り換え制御回路14a、14bは、通常は、切り換え回路13a、13bがクロックジェネレータ(CG)11aの出力をPLL回路12a、12bへの入力とするように制御する。これによりCG11aの出力に同期したクロックがPLL回路12a、12bから出力され、出力ゲート16a、16bにより出力制御される。故障検出回路15aによりクロック発生装置10aの故障が検出された場合、故障側の出力ゲート16aはクロック出力を止め、切り換え制御回路14a、14bは、切り換え回路13a、13bがPLL回路12a、12bへの入力をCG11aからCG11bの出力に切り換えるように制御する。



**【特許請求の範囲】**

【請求項1】 クロックを発生する2つのクロック発生装置により2重化された2重化クロック発生装置と、この2重化クロック発生装置からの共通のクロックにより同期して動作する複数のクロック使用モジュールとを備えたシステムにおいて、

前記両クロック発生装置に、

クロックを発生するクロックジェネレータと、入力信号に同期した出力を発生させるPLL（位相ロックループ）回路と、このPLL回路への入力を前記両クロック発生装置内の前記クロックジェネレータの出力のいずれか一方の側に切り換える切り換え回路と、自装置内の故障を検出する故障検出回路と、この故障検出回路の故障検出により、前記PLL回路の出力が前記複数のクロック使用モジュールに出力されるのを禁止する出力制御回路と、前記切り換え回路を制御する切り換え制御回路とを設けると共に、

前記各クロック使用モジュールに、前記両クロック発生装置の出力をオアし、そのオア信号を自モジュールで使用するクロックとして出力するオア回路を設け、

前記両クロック発生装置内の前記各切り換え制御回路は、同一の前記クロックジェネレータの出力が自装置内の前記PLL回路への入力となるように前記切り換え回路を制御し、前記両クロック発生装置のいずれか一方の側の前記故障検出回路により故障が検出され、且つそのクロック発生装置内の前記クロックジェネレータの出力が前記PLL回路への入力となっている場合には、そのPLL回路への入力を、もう一方のクロック発生装置内のクロックジェネレータの出力に切り換えさせるように構成されていることを特徴とするクロック冗長化方式。

【請求項2】 前記クロック発生装置内の前記切り換え制御回路は、自装置内の前記故障検出回路により故障が検出され、その際に自装置内の前記クロックジェネレータの出力が自装置内のPLL回路の入力となるように前記切り換え回路を制御している場合には、そのPLL回路への入力を、もう一方のクロック発生装置内の前記クロックジェネレータの出力に切り換えさせると共に、その切り換えを、前記もう一方のクロック発生装置内の前記切り換え制御回路に通知し、この通知を受けた切り換え制御回路は、前記もう一方のクロック発生装置内のPLL回路への入力を、前記もう一方のクロック発生装置内の前記クロックジェネレータの出力に切り換えさせることを特徴とする請求項1記載のクロック冗長化方式。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】この発明は、計算機・制御装置などにおいて、複数のモジュールを1つのクロックで同期し動作させる装置に係り、特にクロックの安定供給のためにクロックを冗長化するクロック冗長化方式に関する。

**【0002】**

【従来の技術】従来より、システムクロックで動作する複数の装置（モジュール）にシステムクロックを安定して供給するために、システムクロックを冗長化（2重化）することが行われている。

【0003】従来のクロック冗長化方式は、マスタとスレーブの2つのクロック発振器を有し、マスタ故障時にはスイッチ等によりスレーブ側のクロック発振器に切り換えるようにするものが一般的であった。

**【0004】**

【発明が解決しようとする課題】上記したように、従来のクロック冗長化方式では、マスタとスレーブの2つのクロック発振器を有し、マスタ故障時にスイッチ等によりスレーブ側のクロック発振器に切り換えることにより、複数モジュールへのクロック供給が継続できるようにしていた。

【0005】しかし、2つのクロック発振器をスイッチ等により切り換えた場合、その切り換え時に周波数が大きく変動するといったクロックの乱れが生じて、そのクロックを使用するモジュールで誤動作を起こす可能性があり、処理の継続が保証されないという問題があった。

【0006】この発明は上記事情を考慮してなされたものでその目的は、2重化のクロックの切り換え時に発生するクロックの乱れを防ぎ、クロックを使用するモジュールでの正常な動作が保証できるクロック冗長化方式を提供することにある。

**【0007】**

【課題を解決するための手段】この発明は、クロックを発生する2つのクロック発生装置により2重化された2重化クロック発生装置と、この2重化クロック発生装置からの共通のクロックにより互いに同期して動作する複数のクロック使用モジュールとを備えたシステムにおいて、

【0008】両クロック発生装置に、クロックジェネレータと、PLL回路と、このPLL回路への入力を上記両クロック発生装置内のクロックジェネレータの出力のいずれか一方の側に切り換える切り換え回路と、自装置内の故障を検出する故障検出回路と、PLL回路の出力が上記複数のクロック使用モジュールに出力されるのを故障検出回路の故障検出に応じて禁止する出力制御回路と、切り換え回路を制御する切り換え制御回路とをそれぞれ設けると共に、各クロック使用モジュールに、上記両クロック発生装置の出力をオアし、そのオア信号を自モジュールで使用するクロックとして出力するオア回路を設け、

【0009】各切り換え制御回路は、同一のクロックジェネレータの出力が自装置内のPLL回路への入力となるように切り換え回路を制御し、一方のクロック発生装置側の故障検出回路により故障が検出され、且つそのクロック発生装置内のクロックジェネレータの出力が自装

置内のPLL回路への入力となっている場合には、そのPLL回路への入力を、もう一方のクロック発生装置内のクロックジェネレータの出力に切り換えさせることを特徴とするものである。

#### 【0010】

【作用】上記の構成においては、2つのクロック発生装置に内蔵の各切り換え回路が、共に同一のクロックジェネレータの出力を選択して自装置内のPLL回路の入力とするように、対応する切り換え制御回路により制御される。これにより、各PLL回路からは、同一のクロックジェネレータの出力に同期したクロックが出力される。この各PLL回路からのクロックは、対応する出力制御回路を介してそれぞれ各モジュール内のオア回路に供給され、そのオア信号をクロックとして該当するモジュールが動作する。

【0011】ここで、故障検出回路により自装置（クロック発生装置）内の故障が検出されると、同装置（故障したクロック発生装置）内の出力制御回路は自装置からのクロック出力を止める。これにより、故障クロック発生装置の出力は“0”となる。

【0012】一方、各切り換え制御回路は、故障したクロック発生装置内のクロックジェネレータの出力が自装置のPLL回路に入力されるように制御している場合には、もう一方の正常なクロック発生装置内のクロックジェネレータの出力が同PLL回路に入力されるように、切り換え回路を制御する。このとき、両クロック発生装置内の各クロックジェネレータの出力は同期しているとは限らないが、正常なクロック発生装置内のPLLの出力（即ち正常なクロック発生装置から出力されるクロック）は、PLL回路の動きにより、周波数を殆ど変化させることなく、切り換わった（正常クロック発生装置内の）クロックジェネレータの出力に位相レベルで同期する。したがって、この正常クロック発生装置からは正常なクロックが出力され、出力制御回路を介して各モジュール内のオア回路の一方の入力に供給される。このオア回路の他方の入力には、故障クロック発生装置からの出力“0”が供給される。これによりオア回路からは、故障クロック発生装置のPLL回路の出力に影響されずに、正常クロック発生装置からの正常なクロックが出力される。

#### 【0013】

【実施例】図1はこの発明を適用するシステムの一実施例を示すブロック構成図である。

【0014】図1において、10は2つのクロック発生装置10a、10bにより2重化された2重化クロック発生装置、20-1、20-2...20-nは、2重化クロック発生装置10で発生された共通のクロックを使用して、同クロックに同期して動作するクロック使用モジュール（クロック受信装置）である。クロック使用モジュール20-1~20-nは、2重化クロック発生装置10を構成

する2つのクロック発生装置10a、10bからのクロック出力信号をOR（オア）し、そのOR信号を自モジュールに対するクロック信号とするOR回路21-1~21-nを有する。

【0015】クロック発生装置10a、10bは、クロックを発生するクロックジェネレータ（CG）11a、11bと、入力（するクロック）の位相に同期した出力信号を発生するPLL（Phase Locked Loop；位相ロックループ）回路12a、12bと、このPLL回路12a、12bへの入力を切り換える2入力1出力の切り換え回路13a、13bとを有する。切り換え回路13a、13bの一方の入力（“1”側入力）には、自クロック発生装置10a、10b内のクロックジェネレータ11a、11bの出力が接続され、他方の入力（“0”側入力）には、他クロック発生装置10b、10a内のクロックジェネレータ11b、11aの出力が接続されている。

【0016】クロック発生装置10a、10bはまた、切り換え回路13a、13bを制御する切り換え制御回路14a、14bと、自クロック発生装置10a、10b内の電源異常、クロック周波数の乱れ等の故障を周知の技術により検出する故障検出回路15a、15bとを有する。切り換え制御回路14a、14bは互いに接続されると共に、故障検出回路15a、15bの出力とも接続されている。

【0017】切り換え制御回路14a、14bは、両クロック発生装置10a、10b内のPLL回路12a、12bへの入力として、いずれも同一のクロックジェネレータ（11aまたは11b）からの出力が選択されるように、切り換え回路13a、13bを制御する。切り換え制御回路14i（i=a、b）は、故障検出回路15aまたは15bによりクロック発生装置10aまたは10bの故障が検出され、且つその故障が検出された装置10aまたは10b内のクロックジェネレータ（11aまたは11b）の出力がPLL回路12iへの入力となっている場合には、もう一方の装置10bまたは10a内のクロックジェネレータ（11bまたは11a）の出力がPLL回路12iへの入力となるように、切り換え回路13iを制御する。

【0018】切り換え制御回路14a、14bは、図1に示すように、インバータ141a、141bと、このインバータ141a、141bの出力をリセット（R）入力、故障検出回路15a、15bの出力をセット

（S）入力とするフリップフロップ142a、142bから構成される。フリップフロップ142a、142bの逆相出力（QN）は切り換え回路13a、13bの切り換え制御信号として用いられる。インバータ141a、142の入力は、フリップフロップ142b、142aの逆相出力（QN）に接続されると共に、抵抗Rを介してプルアップされている。

【0019】クロック発生装置10a, 10bは更に、故障検出回路15a, 15bの故障検出に応じてPLL回路12a, 12bの出力信号（位相制御されたクロック）の出力を禁止する（停止させる）出力ゲート16a, 16bと、出力ドライバ17a, 17bとを有する。この出力ドライバ17a, 17bは、出力ゲート16a, 16bの出力信号（クロック）を各クロック使用モジュール20-1~20-nに共通に出力する。

【0020】次に、図1の構成の動作を、図2および図3のタイミングチャートを参照して説明する。なお、図2は正常時の動作を説明するためのタイミングチャート、図3はクロック発生装置10a側の故障時の動作を説明するためのタイミングチャートである。

【0021】まず、クロック発生装置10a, 10b内の切り換え制御回路14a, 14bの出力（切り換え制御信号）、即ちフリップフロップ142a, 142bの出力は互いに異なるように、初期設定される。ここでは、初期状態において、フリップフロップ142aがリセットされ、フリップフロップ142bがセットされるものとして説明する。

【0022】フリップフロップ142aがリセットされている場合、その逆相出力（QN）は“1”となる。またフリップフロップ142bがセットされている場合、その逆相出力（QN）はフリップフロップ142aとは逆の“0”となる。

【0023】この場合、切り換え回路13aは、フリップフロップ142aの逆相出力（QN）“1”、即ち切り換え制御回路14aの切り換え制御信号“1”に応じて、“1”側入力であるクロックジェネレータ11aにより発生されたクロックを選択し、PLL回路12aへ入力する。また切り換え回路13bは、フリップフロップ142bの逆相出力（QN）“0”、即ち切り換え制御回路14bの切り換え制御信号“0”に応じて、“0”側入力であるクロックジェネレータ11aにより発生されたクロックを選択して、PLL回路12bへ入力する。

【0024】したがって、クロック発生装置10a側のPLL回路12a、およびクロック発生装置10b側のPLL回路12bは、図2に示すように、いずれもクロック発生装置10a側のクロックジェネレータ11aの出力に同期した信号（クロック）を出力する。

【0025】PLL回路12a, 12bからそれぞれ出力される、共にクロックジェネレータ11aの出力に同期した信号（クロック）は、出力ゲート16a, 16bにより出力ドライバ17a, 17bに出力される。出力ドライバ17a, 17bは、このクロックジェネレータ11aの出力に同期した信号（クロック）を、クロック発生装置10a, 10bからのクロックとして、各クロック使用モジュール20-1~20-nに共通に送出する。

【0026】各クロック使用モジュール20-1~20-n

内のOR回路21-1~21-nは、クロック発生装置10a（内の出力ドライバ17a）から送出された、クロックジェネレータ11aの出力に同期した信号（クロック）と、クロック発生装置10b（内の出力ドライバ17b）から送出された、同じクロックジェネレータ11aの出力に同期した信号（クロック）とをORし、図2に示すように、そのOR信号、即ちクロックジェネレータ11aの出力に同期した信号（クロック）を出力する。各モジュール20-1~20-nは、このOR回路21-1~21-nのOR信号であるクロックジェネレータ11aの出力に同期した信号（クロック）により、互いに同期して動作する。

【0027】なお、初期状態において上記と逆に、フリップフロップ142aをセット、フリップフロップ142bをリセットした場合にも同様である。但し、この場合には、フリップフロップ142a, 142bの逆相出力（QN）、即ち切り換え制御回路14a, 14bの切り換え制御信号は“0”、“1”となることから、切り換え回路13a, 13bは上記とは逆にいずれもクロックジェネレータ11bの出力を選択してPLL回路12a, 12bに入力する。したがって、クロック発生装置10a, 10b（内の出力ドライバ17a, 17b）から各クロック使用モジュール20-1~20-nには、共にクロックジェネレータ11bの出力に同期した信号（クロック）が共通に送出され、各モジュール20-1~20-nでは、そのOR信号に同期した動作が行われる。

【0028】さて、図2に示す状態で、クロック発生装置10a内で故障（障害）が発生し、その故障が故障検出回路15aにより検出されたものとする。この場合、故障検出回路15aは故障検出を示す値が“1”の検出信号を出力する。出力ゲート16aは、この故障検出回路15aからの値が“1”の検出信号により、PLL回路12aからのクロックが出力ドライバ17aに出力されるのを禁止する。即ち出力ゲート16aはクロックの出力を止める。したがって、クロック発生装置10a（内の出力ドライバ17a）から各クロック使用モジュール20-1~20-nに出力される信号は、図3に示すように、故障前とは異なって“0”となる。

【0029】故障検出回路15aからの値が“1”の検出信号は、切り換え制御回路14a内のフリップフロップ142aのセット（S）入力に入力される。これにより、リセット状態にあるフリップフロップ142aはセット状態に遷移し、その逆相出力（QN）、即ち切り換え制御回路14aの出力（切り換え制御信号）は、“1”から“0”に遷移する。すると、もう一方のフリップフロップ142bのリセット（R）入力が“0”から“1”に遷移するため、同フリップフロップ142bはセット状態からリセット状態に遷移し、その逆相出力（QN）、即ち切り換え制御回路14bの出力（切り換え制御信号）は、“0”から“1”に遷移する。

【0030】以上の結果、切り換え回路13aは、PLL回路12aへの入力信号を、“1”側入力である、故障したクロック発生装置10a側のクロックジェネレータ11aの出力から、“0”側入力である、故障していないクロック発生装置10b側のクロックジェネレータ11bの出力に切り換える。同様に切り換え回路13bは、PLL回路12bへの入力信号を、“0”側入力である、故障したクロック発生装置10a側のクロックジェネレータ11aの出力から、“1”側入力である、故障していないクロック発生装置10b側のクロックジェネレータ11bの出力に切り換える。

【0031】このように、PLL回路12a、12bへの入力信号は、故障した側のクロックジェネレータ11aの出力から、故障していない側のクロックジェネレータ11bの出力に切り換えられる。このとき、故障したクロック発生装置10aからのクロック出力は、上記したように出力ゲート16aにより止められる。一方、故障していないクロック発生装置10b内のPLL回路12bからのクロックは、出力ゲート16bにより出力ドライバ17bに出力され、同ドライバ17bにより、クロック発生装置10bからのクロックとして、各クロック使用モジュール20-1~20-nに出力される。

【0032】さて、PLL回路12a、12bの入力が、クロックジェネレータ11aの出力からクロックジェネレータ11bの出力に切り換わった際、両クロックジェネレータ11a、11bの出力は同期しているとは限らず、周波数は同一であっても位相が異なっている可能性がある。しかし、クロック発生装置10b側のPLL回路12bの出力は、その入力がクロックジェネレータ11aの出力からクロックジェネレータ11bの出力に切り換えられても、このPLL回路12bの作用により、殆ど周波数を変化させることなく、図3に示すように、切り換わったクロックジェネレータ11bの出力に位相レベルで同期される。

【0033】このPLL回路12bの出力、即ちクロックジェネレータ11bに同期した正常なクロックは、出力ゲート16bにより出力ドライバ17bに出力され、同ドライバ17bにより、クロック発生装置10bからのクロックとして、各クロック使用モジュール20-1~20-nに出力される。

【0034】以上により、クロック使用モジュール20-1~20-n内のOR回路21-1~21-nへの入力は、故障したクロック発生装置10a（の出力ドライバ17a）からの出力“0”と、故障していないクロック発生装置10b（の出力ドライバ17b）からの正常な出力（クロック）となる。この結果、OR回路21-1~21-nの出力であるモジュール20-1~20-nのクロックは、正常に保証される。

【0035】最後に、図2に示す状態で、即ちフリップフロップ142aがリセット、フリップフロップ142

bがセットしているために、クロックジェネレータ11aの出力がPLL回路12a、12bの入力として選択されている状態で、上記とは異なって（選択されていないクロックジェネレータ11bを内蔵する）クロック発生装置10b内で故障が発生し、その故障が故障検出回路15bにより検出された場合の動作を簡単に説明する。

【0036】この場合、故障検出回路15bから値が“1”の検出信号が出力されるため、出力ゲート16bはクロックの出力を止める。この故障検出回路15bからの検出信号は、切り換え制御回路14b内のフリップフロップ142bのセット（S）入力にも入力されるが、同フリップフロップ142bはセット状態にあるため、その状態に変化はない。したがって、クロックジェネレータ11aの出力がPLL回路12a、12bの入力として選択されている状態は変わらず、故障していないクロック発生装置10a内のPLL回路12aの出力が、出力ゲート16a、出力ドライバ17aを介してモジュール20-1~20-nに供給される。

【0037】

【発明の効果】以上詳述したようにこの発明によれば、それぞれクロックジェネレータとPLL回路とを内蔵する2つのクロック発生装置を備えた2重化構成とし、両装置は、共に同一のクロックジェネレータの出力を自装置内のPLL回路への入力とすることにより、このPLL回路から出力される、クロックジェネレータの出力に同期したクロックをクロック使用モジュールに供給し、このクロック供給に用いられているクロックジェネレータを内蔵したクロック発生装置の故障時には、もう一方のクロック発生装置に内蔵のクロックジェネレータの出力をPLL回路への入力に切り換えるようにしたので、2重化のクロックの切り換え時に発生するクロックの乱れを防いで正常なクロックを供給でき、クロック使用モジュールでの正常な動作を保証することができる。

【図面の簡単な説明】

【図1】この発明を適用するシステムの一実施例を示すブロック構成図。

【図2】同実施例における正常時の動作を、クロック発生装置10a、10bが共にクロック発生装置10a内のクロックジェネレータ11aに同期して動作する場合を例に説明するためのタイミングチャート。

【図3】同実施例における故障時の動作を、クロック発生装置10a側で故障した場合を例に説明するためのタイミングチャート。

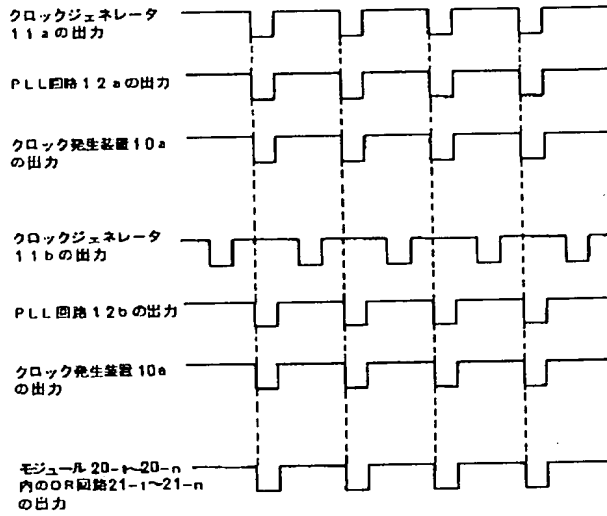
【符号の説明】

10…2重化クロック発生装置、10a、10b…クロック発生装置、11a、11b…クロックジェネレータ（CG）、12a、12b…PLL回路、13a、13b…切り換え回路、14a、14b…切り換え制御回路、15a、15b…故障検出回路、16a、16b…

1-1~2 1-n...OR回路。

[illegible]

【図2】



【図3】

